

(1) Japanese Patent Application Laid-Open No. H5-028045 (1993)

The following is English translation of an extract from the above-identified documents relevant to the present application.

A cache memory 11, a directory 12 and a comparator 14 comprise a set. Further, a cache memory 15, a directory 16 and a comparator 17 comprise another set. In the same way, an arbitrary number of sets can be added on.

Hits from comparators 14 and 17 of each set are checked for coincidence with the pointer data from pointer register 20 in AND circuits 21 and 22, and each of the results is compiled in OR circuit, used as a hit output, and at the same time used as a tip selecting signal for each of corresponding cache memories 11 and 15.

A pointer register 20 has corresponding bits to sets per cache, and every time a cache memory is written, the bits are set to be "1" and indicate the latest set that is accessed.

Therefore, even if comparators 14 and 17 of plural sets output hits at the same time, only those that are allowed by the AND circuits 21 and 22 are validated.

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-28045

(43)公開日 平成5年(1993)2月5日

(51)Int.Cl.⁵
G 0 6 F 12/08

識別記号 庁内整理番号
3 1 0 Z 7232-5B

F I

技術表示箇所

審査請求 未請求 請求項の数1(全19頁)

(21)出願番号 特願平3-180036

(22)出願日 平成3年(1991)7月20日

(71)出願人 000136136

株式会社ビーエフユー

石川県河北郡宇ノ気町宇野気ヌ98番地の
2

(72)発明者 宮崎 正亨

石川県河北郡宇ノ気町宇野気ヌ98番地の
2 株式会社ビーエフユー内

(74)代理人 弁理士 長谷川 文廣 (外2名)

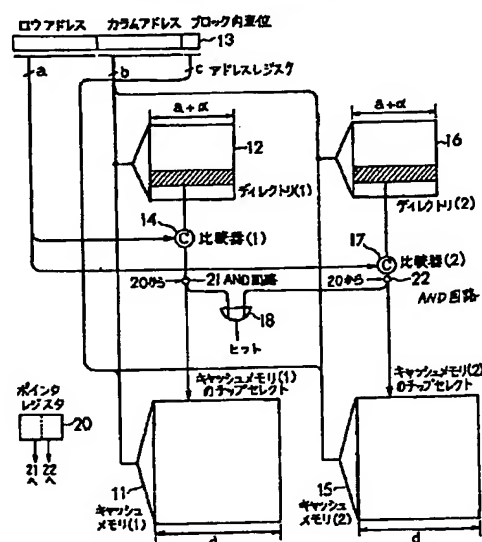
(54)【発明の名称】 キャッシュメモリシステム

(57)【要約】

【目的】 キャッシュメモリシステムにおいて、容量の増加を容易にし、かつ既存のハードウェアの変更を最少限にするシステム構成を提供することを目的としている。

【構成】 キャッシュメモリ(バッファメモリ)とディレクトリおよび比較器とを1組とする単位で任意数の組並列に動作させるもので、増設あるいは削減を可能にする。またキャッシュ単位の複数組からヒット出力が競合して得られた場合の対応として、最新の書き込みを行ったキャッシュ単位からのヒットを有効とする制御を行う。

本発明の原理説明図



【特許請求の範囲】

【請求項1】 ロウアドレス、カラムアドレスおよびブロック内変位からなるメモリアドレスに基づきアクセスされる主メモリのコピーデータを当該メモリアドレスのカラムアドレスおよびブロック内変位により定まるアドレスに保持するバッファメモリと、当該コピーデータのメモリアドレス中のロウアドレスをカラムアドレスに保持するディレクトリと、アクセス要求されたメモリアドレス中のカラムアドレスによりディレクトリから読み出されたロウアドレスと前記アクセス要求されたメモリアドレス中のロウアドレスとを比較して、ヒットおよびミスヒットを検出する比較器とをそなえたダイレクトマッピング方式のキャッシュメモリシステムにおいて、前記バッファメモリ、ディレクトリおよび比較器からなる組を単位として任意数組設置し、さらに最新に書き込みを行ったバッファメモリを指示するポインタ情報をもつポインタレジスタを設け、設置されている前記組の数が複数ある場合に、各組のディレクトリから読み出されるロウアドレスについて複数の比較器からヒットが出力されたとき、前記ポインタ情報を用いて正当なヒットおよびミスヒットを決定することを特徴とするキャッシュメモリシステム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、計算機において、主メモリ（共有メモリあるいはシステムメモリを含む）へのアクセス時間を短縮するために設けられるキャッシュメモリシステムに関する。本発明は特にキャッシュメモリの容量を容易に変更できるシステムを提供する。

【0002】

【従来の技術】 キャッシュメモリをそなえたシステムの例として、図5に従来の複数のプロセッサをもつ計算機システムの構成を示す。

【0003】 図5において、1はCPUなどの高速のプロセッサ、2はCPUなどのプロセッサ、3はプロセッサ1、2により共通に使用される共有メモリ、4はキャッシュメモリ、5はキャッシュメモリ4の索引データをもつディレクトリ、6は共通バスである。

【0004】 動作において、プロセッサ1が共有メモリ3にアクセスを行うと、そのデータのコピーがキャッシュメモリ4に保持され、またアドレスがディレクトリ5に登録される。次にプロセッサ1が同一アドレスのアクセスを行った場合には、ディレクトリ5でアドレス比較が行われ、一致するアドレスが検出されると、キャッシュメモリ4がアクセスされ、リードアクセスの場合には、読み出されたデータがプロセッサ1へ送られる。ディレクトリ5で一致するアドレスが検出されなかった場合には、共有メモリ3から要求されたアドレスのデータが読み出されてプロセッサ1へ送られ、同時にキャッシュメモリ1にそのコピーデータが保持される。ライトア

クセスの場合には、キャッシュメモリ4に書き込みを行い、後で共有メモリ3の対応アドレスの内容を更新する方法や、直接共有メモリ3に書き込み、キャッシュメモリ4に対応するアドレスのデータがあればそれを無効化する方法などがある。

【0005】 図6は、典型的な従来の2ウェイセットアソシティブ方式のキャッシュメモリの構成を示す。図中、11はキャッシュメモリ、12はディレクトリ、13はアドレスレジスタ、14、17は比較器、18はOR回路、19は禁止回路である。

【0006】 図6において、アドレスレジスタ13にはアクセス要求されたメモリアドレスが決定される。メモリアドレスは、ブロックアドレスを構成するロウアドレスとカラムアドレス、およびブロック内変位とからなる。

【0007】 ディレクトリ12は、キャッシュメモリ11に保持された同一カラムアドレスをもつ2つのデータのために2つのディレクトリ情報（ロウアドレス）を保持することができ、それぞれ比較器14、17においてメモリアドレスからのロウアドレスと比較させる。

【0008】 比較器14、17のいずれかが一致を検出するとOR回路18を介してヒットが禁止回路19へ送られる。禁止回路19は、ヒットしたものがどちらのウェイであるかにより、キャッシュメモリ11に対応するアドレス情報を送り、アクセスを行わせる。

【0009】 図7は、ディレクトリの内容を示す。VはVALID/IN VALIDのフラグでエントリが有効か無効かを表す。ADDRESSはキャッシュメモリに格納されているデータのアドレスである。

【0010】 図8は、従来のダイレクトマッピング方式のキャッシュメモリの構成を示す。この方式の場合、ディレクトリ12にはキャッシュメモリ11に保持されているコピーデータのロウアドレスaが登録されている。比較器14は、ディレクトリ12からのロウアドレスaとアクセス要求メモリアドレスからのロウアドレスとを比較し、ヒット、ミスヒットを判定し、カラムアドレスbとブロック内変位cとによってアクセスされるキャッシュメモリ11の出力データの有効性を決定する。

【0011】 図9は、従来のキャッシュメモリにおける容量増加方式を示す。なおこの例は、図8のダイレクトマッピング方式によっている。キャッシュメモリ11の容量を増加させる場合、カラムアドレスを図8のアドレス図8のbから図9のbに増加させなければならない。そのため、ロウアドレスのビット数が減少し、キャッシュメモリ11ばかりでなくディレクトリ12のデータ長も変化し、メモリサイズが大幅に変わる。したがって既存のハードウェアは使用できなくなり、キャッシュメモリは全面的な置き換えが必要となる。

【0012】

【発明が解決しようとする課題】 本発明は、キャッシュ

メモリシステムにおいて、容量の増加を容易にし、かつ既存のハードウェアの変更を最少限にするシステム構成を提供することを目的としている。

【0013】

【課題を解決するための手段】本発明は、キャッシュメモリ（バッファメモリ）とディレクトリおよび比較器とを1組とする単位で任意数の組並列に動作させるもので、増設あるいは削減を可能にする。またキャッシュ単位の複数組からヒット出力が競合して得られた場合の対応として、最新の書き込みを行ったキャッシュ単位からのヒットを有効とするアルゴリズムを適用する。

【0014】図1は本発明の1実施例を用いた原理説明図であり、図中、11、15はキャッシュメモリ、12、16はディレクトリ、13はアドレスレジスタ、14、17は比較器、18はOR回路、20はポインタレジスタ、21、22はAND回路である。

【0015】キャッシュメモリ11とディレクトリ12と比較器14とは1つの組を構成し、(1)を付して識別される。またキャッシュメモリ15とディレクトリ16の比較器17とは他の1つの組を構成する。これらの組は、アドレスレジスタ13に対して並列に接続されている。同様にして任意数の組を増設することができる。

【0016】各組の比較器14、17からのヒットは、AND回路21、22においてポインタレジスタ20からのポインタデータと一致をとられ、その各結果がOR回路18でまとめられてヒット出力として使用されるとともに、対応するキャッシュメモリ11と15の各々に対するチップセレクト信号として使用される。

【0017】ポインタレジスタ20はキャッシュ単位の組に対応したビットをもち、キャッシュメモリに書き込みが行われることに「1」が立てられ、最新のアクセスが行われた組を指示する。

【0018】したがって複数の組の比較器14、17が同時にヒットを出力しても、AND回路21、22によって許可されたもののみが有効化される。

【0019】

【作用】本発明によれば、キャッシュメモリとディレクトリと比較器からなる組は、いずれの組においても同一のハードウェア仕様とすることにより標準化されることができ、増設によるキャッシュ容量の増大化がきわめて容易となる。また増設に伴い必要とされるハードウェアは、これらの組のものを除けばきわめて少ない。

【0020】またポインタレジスタの情報は、各組の使用履歴情報としても使用できるので、ミスヒット時にキャッシュメモリの内容を書き換える際の候補データを決定するための情報としても利用できる。

【0021】

【実施例】図2は、本発明実施例によるキャッシュメモリの制御フローであり、(a)は読み出しサイクル時の動作、(b)は書き込みサイクル時の動作を示す。

【0022】図2の(a)の読み出しサイクルでは、ディレクトリアクセスの結果ヒットすれば、キャッシュメモリからデータを読み出し、ミスヒットであれば、ポインタレジスタを参照して、アクセスの古い組のキャッシュ単位（ブロック）を書き換え対象として選択し、共有メモリSSからデータを読み出し、そのコピーを先に置き換え対象として選択した組のキャッシュ単位（ブロック）に書き込んでポインタレジスタの該当ビットに「1」を立てる更新を行う。すなわち書き込みアクセスを行ったことを情報表示する。

【0023】図2の(b)の書き込みサイクルでは、ディレクトリがヒットした場合、ヒットした組のキャッシュ単位（ブロック）に書き込みを行い、ミスヒットした場合には、共有メモリSSに書き込みを行う。

【0024】図3は、ポインタレジスタの内容のポインタ構造を示す。図示の例では、8ビットで構成され、その各ビットは8組のキャッシュ単位（UNIT1～UNIT8で表す）の各書き込み履歴を示す（MEM UNIT i Write Enable）。

【0025】図4は、図3のポインタ構造を用いたポインタの更新処理例を示す。図4の(a)は、図2の(a)でリード時ミスヒットした場合の例で、UNIT1からUNIT4までが実装されており、これらに書き込みが行われることに対応するビットに「1」が立てられる。

【0026】全てのUNITに書き込みが行われると、各UNIT1～UNIT4の各ビットは「0」にクリアされ、続いて書き込みが行われると前述した動作を繰り返す。

【0027】図4の(b)は図2の(b)のライト時ヒットの場合のポインタ更新例である。この場合も、図4(a)のときと同様に書き込みが行われたUNITに对应して該当ビットの更新が行われる。

【0028】

【発明の効果】本発明によれば、キャッシュメモリの容量増加を、メモリ素子以外のハードウェアをあまり増加させることなく、また同一ハードウェア仕様で実現することができ、システムの性能を柔軟に調整することができる。

【図面の簡単な説明】

【図1】本発明の原理説明図である。

【図2】本発明実施例によるキャッシュメモリの制御フロー図である。

【図3】本発明実施例によるポインタ構造の説明図である。

【図4】本発明実施例によるポインタ更新処理例の説明図である。

【図5】従来の複数のプロセッサをもつ計算機システムの構成図である。

【図6】従来の2ウェイセットアソシティブ方式のキ

5

6

キャッシュメモリの構成図である。

【図7】ディレクトリ内容の説明図である。

【図8】従来のダイレクトマッピング方式のキャッシュメモリの構成図である。

【図9】従来のキャッシュメモリにおける容量増加方式の説明図である。

【符号の説明】

* 11, 15 キャッシュメモリ

12, 16 ディレクトリ

13 アドレスレジスタ

14, 17 比較器

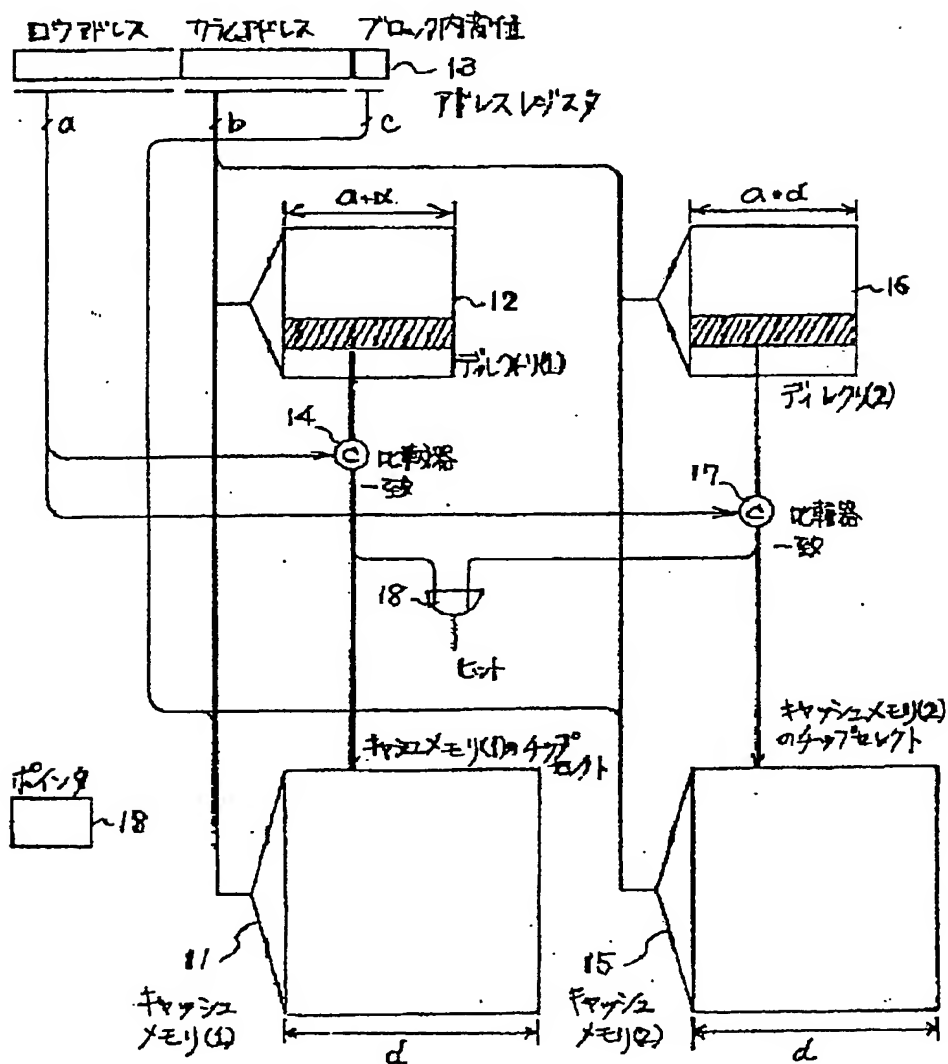
18 OR回路

20 ポインタレジスタ

* 21, 22 AND回路

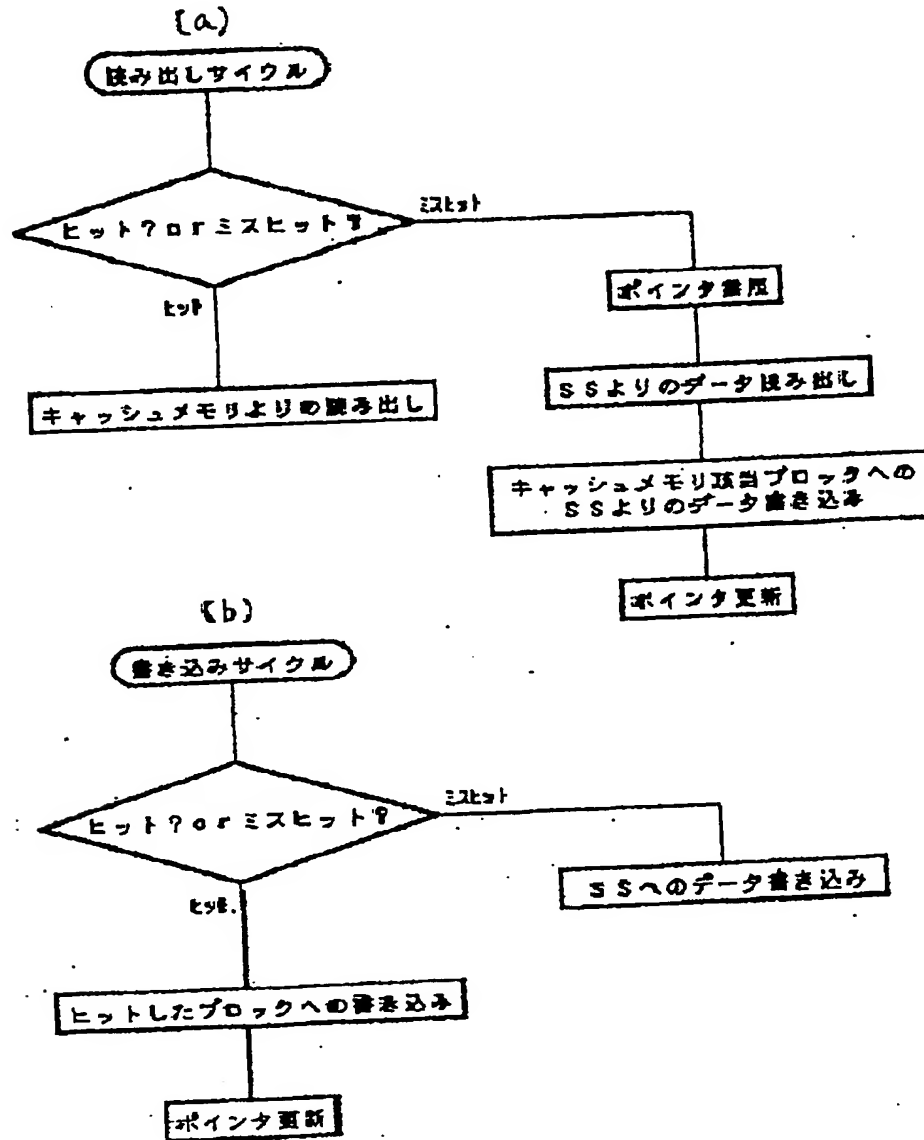
【図1】

本発明の原理説明図



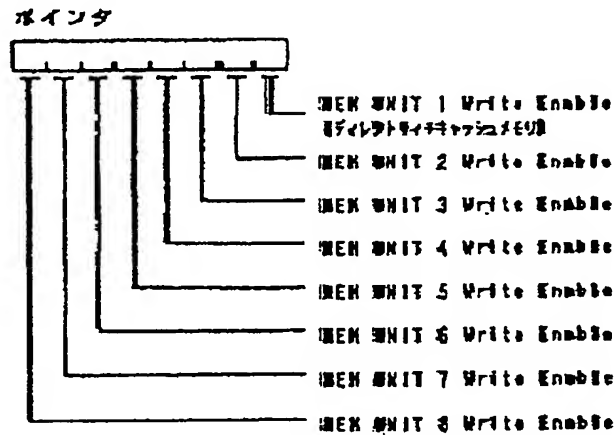
【図2】

本発明実施例におけるキャッシュメモリの制御フロー図



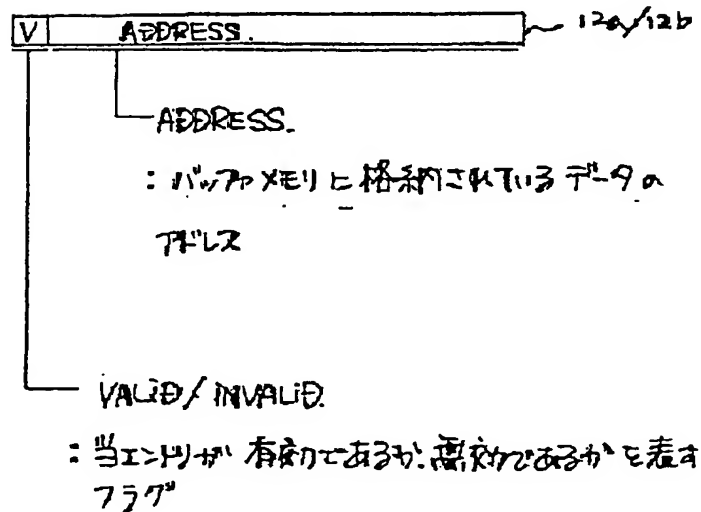
【図3】

本発明実施例によるポインタ構造の説明図



【図7】

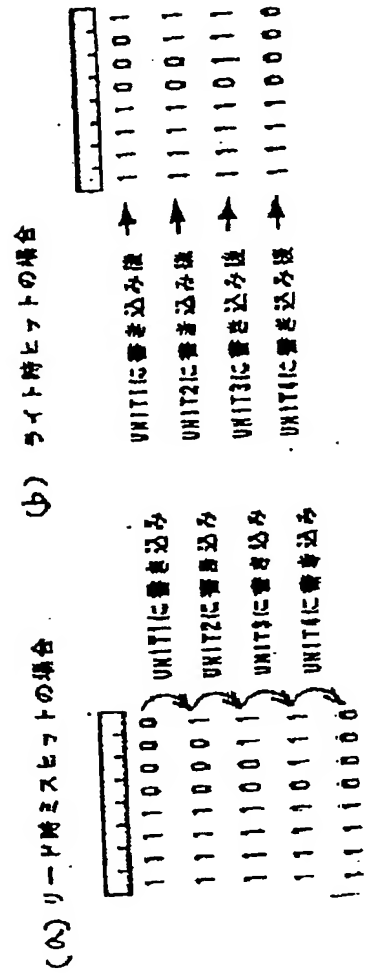
ディレクトリ内容の説明図



(7)

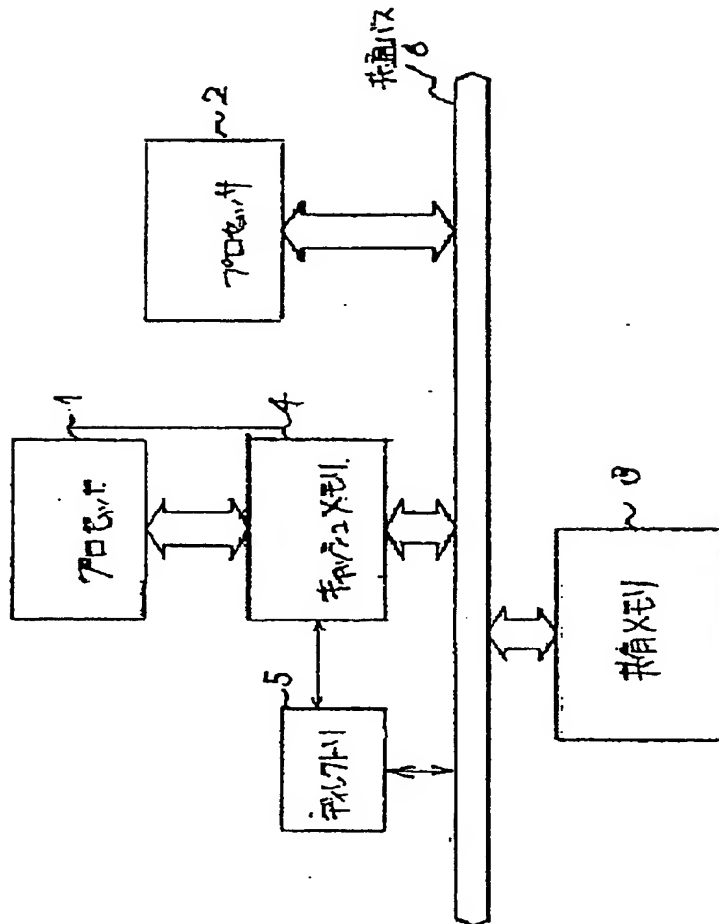
【図4】

本発明実施例によるポインツ更新処理例
の説明図



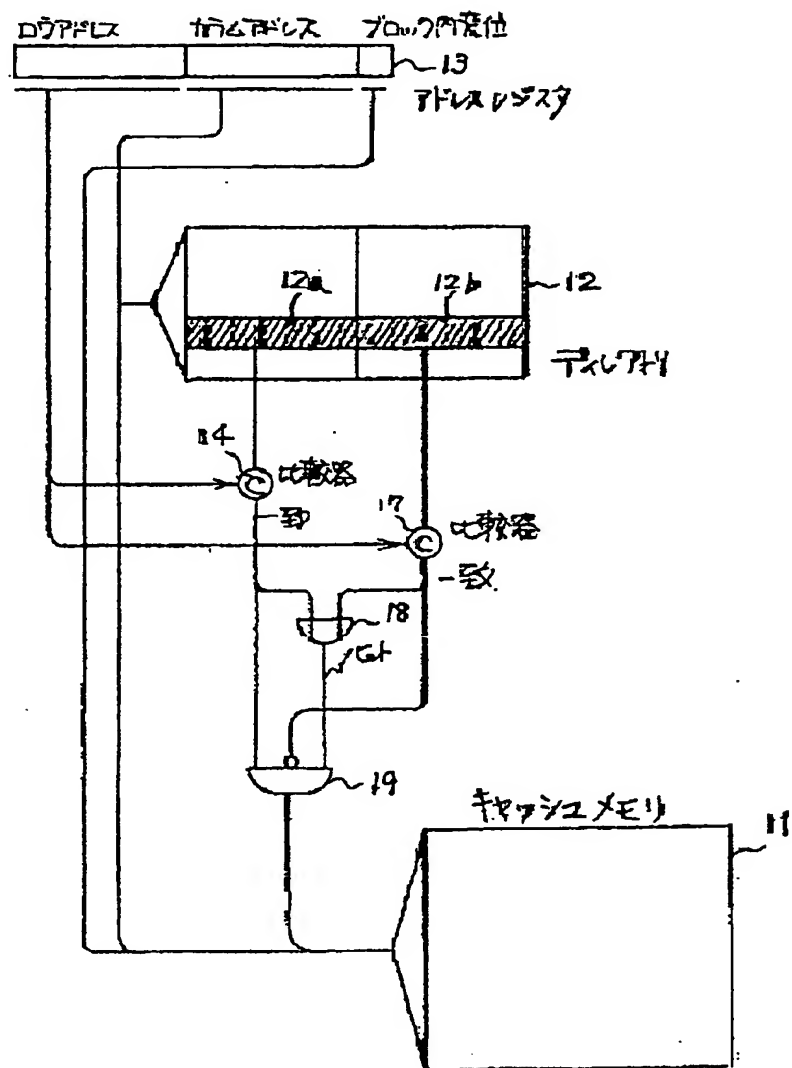
【図5】

従来の複数のプロセッサをもつ計算機システムの構成図



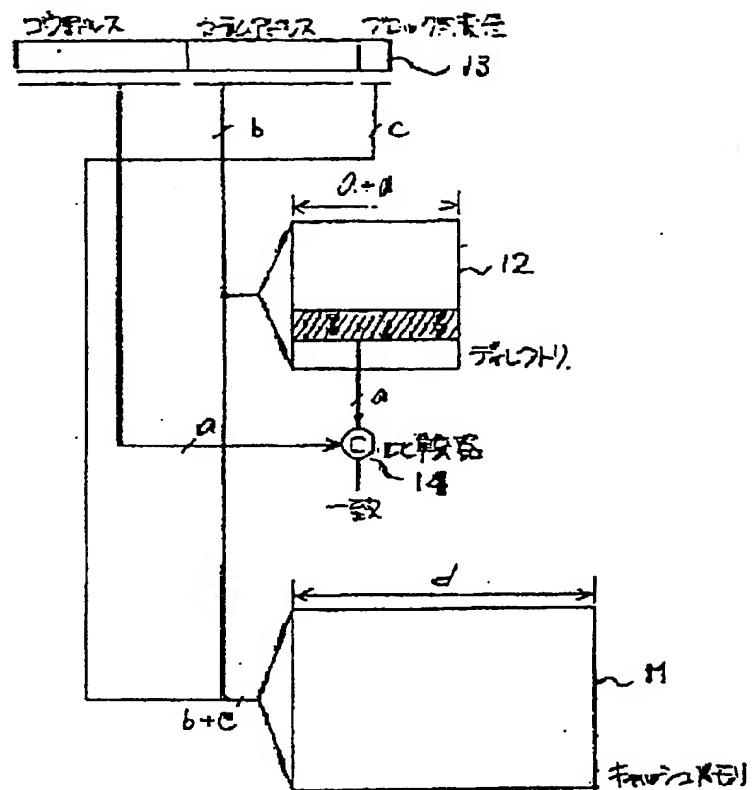
【図6】

従来の 2ウェイセレクト アソシエイト 方式のキャッシュメモリ
の構成図



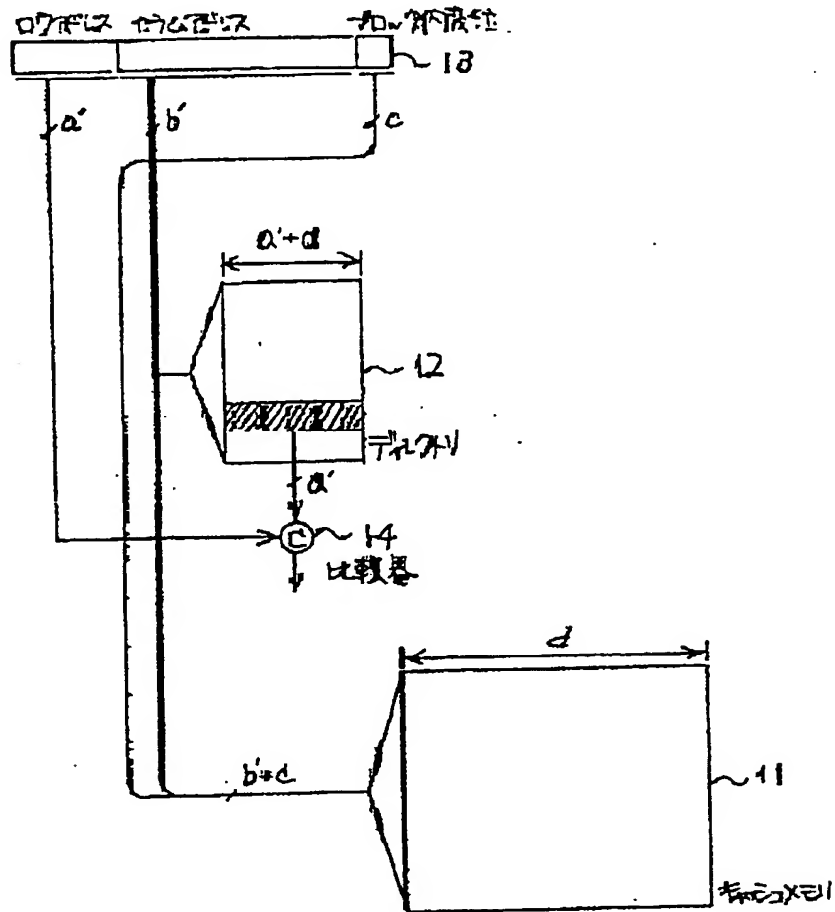
【図8】

従来のダイレクトマッピング方式のキャッシュメモリ
の構成図



【図9】

従来のキャッシュメモリにおける容量増加方式の説明図



【手続補正書】

【提出日】平成3年7月31日

【手続補正1】

【補正対象書類名】図面

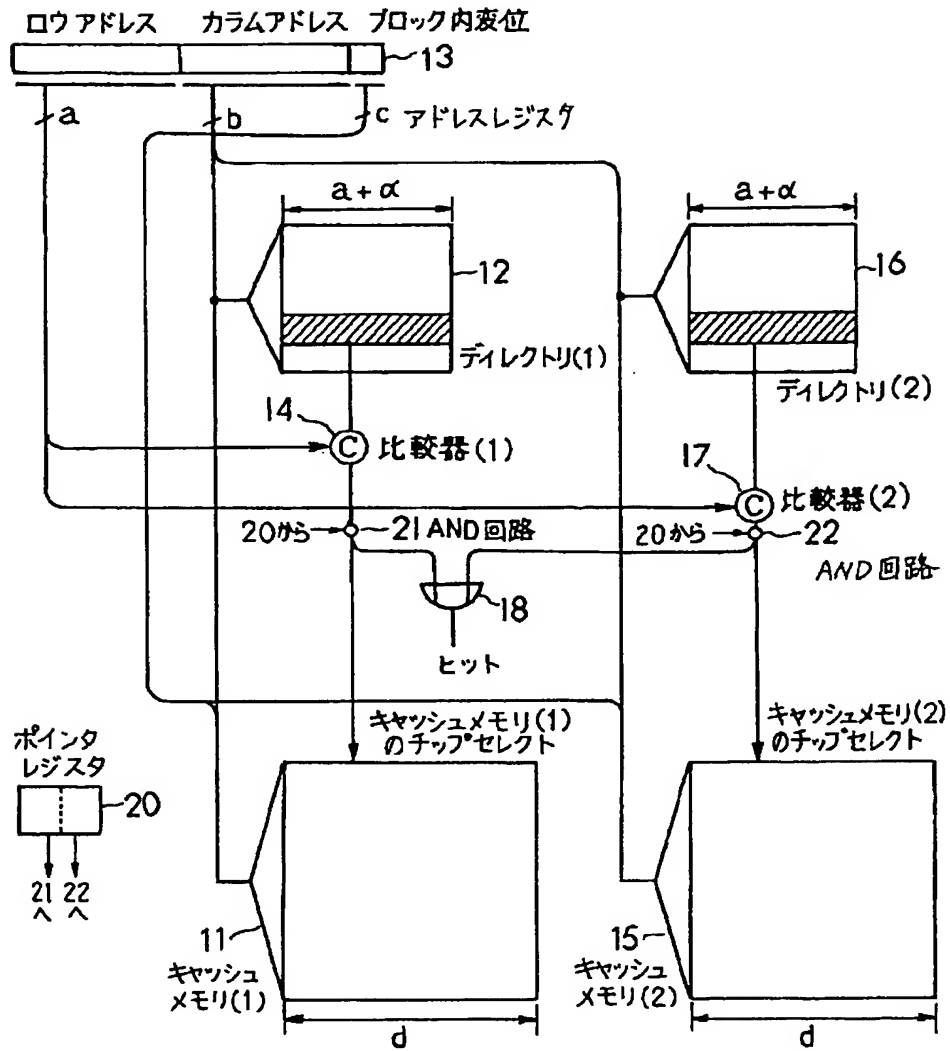
【補正対象項目名】全図

【補正方法】変更

【補正内容】

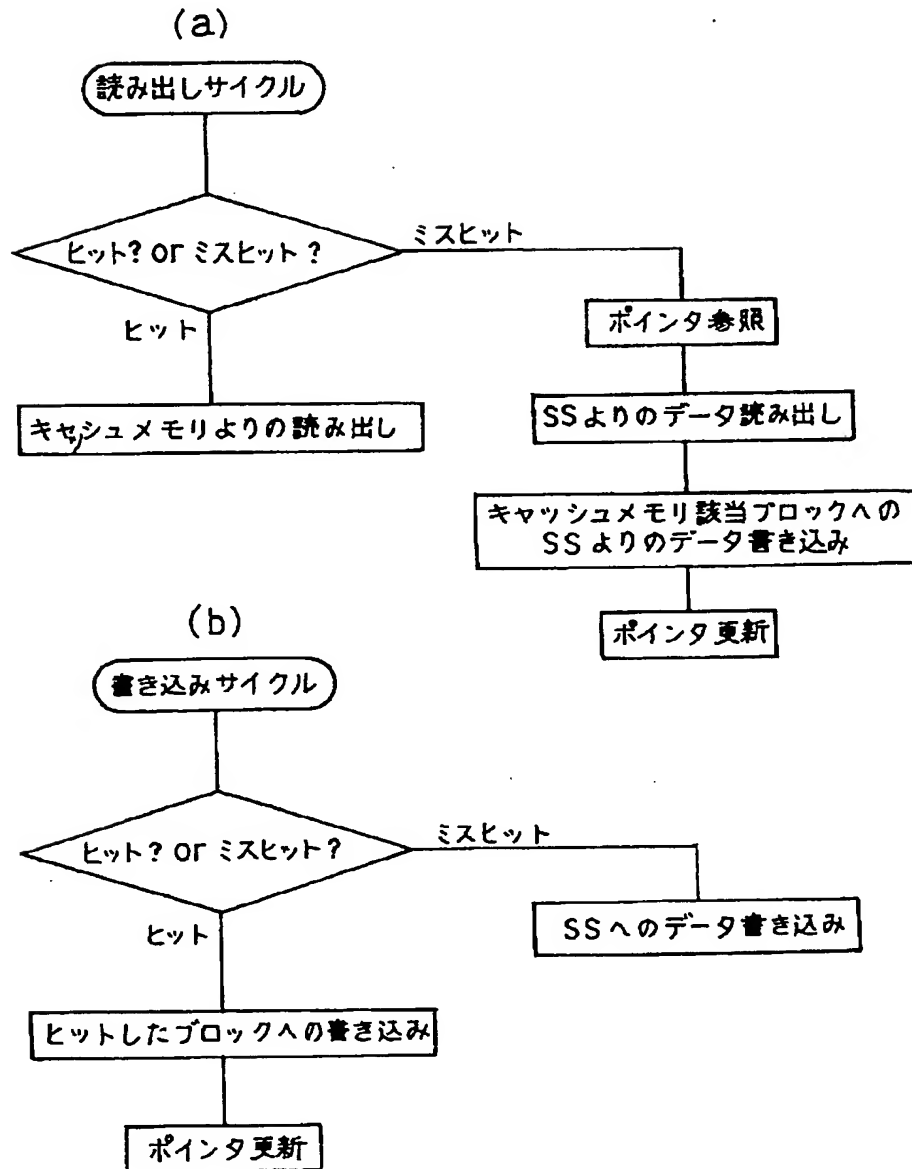
【図1】

本発明の原理説明図



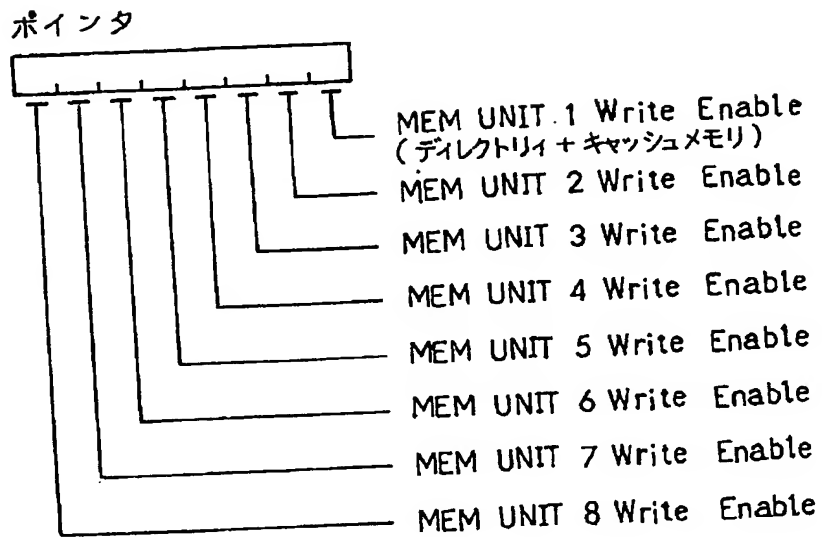
【図2】

本発明実施例によるキャッシュメモリの制御フロー図



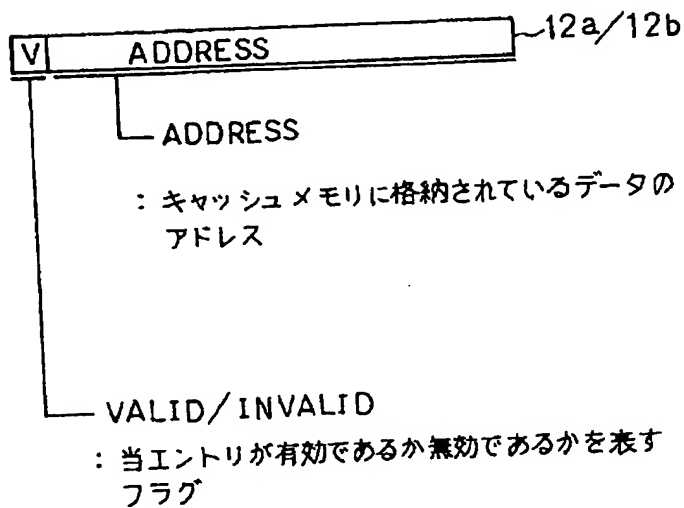
【図3】

本発明実施例によるポインタ構造の説明図



【図7】

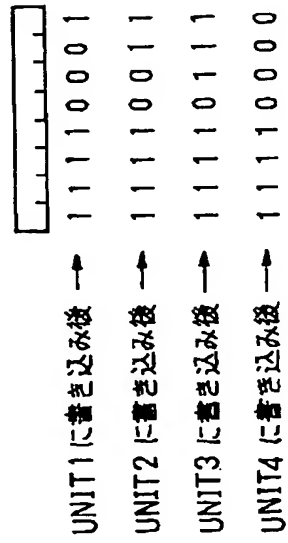
デイレクトリ内容の説明図



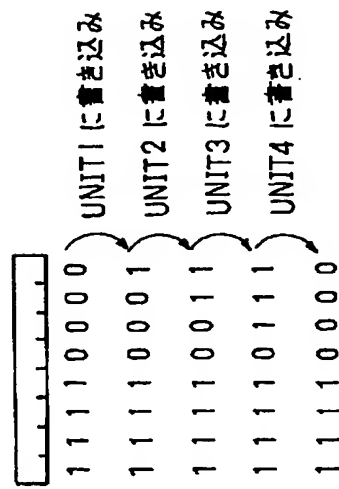
【図4】

本発明実施例によるポインタ更新処理例の説明図

(b) ライト時ヒットの場合

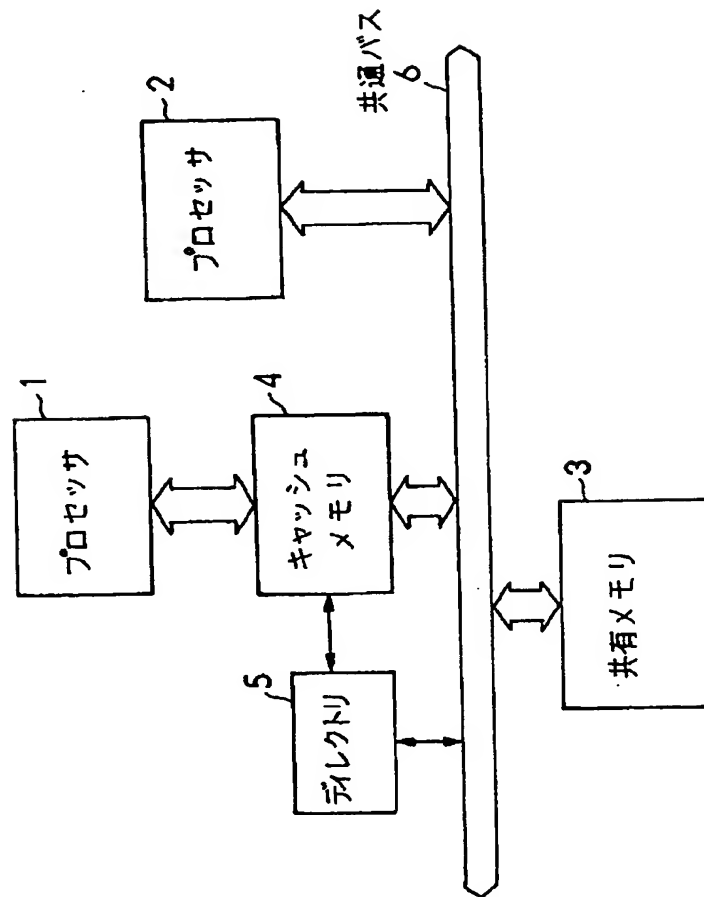


(a) リード時ミスヒットの場合



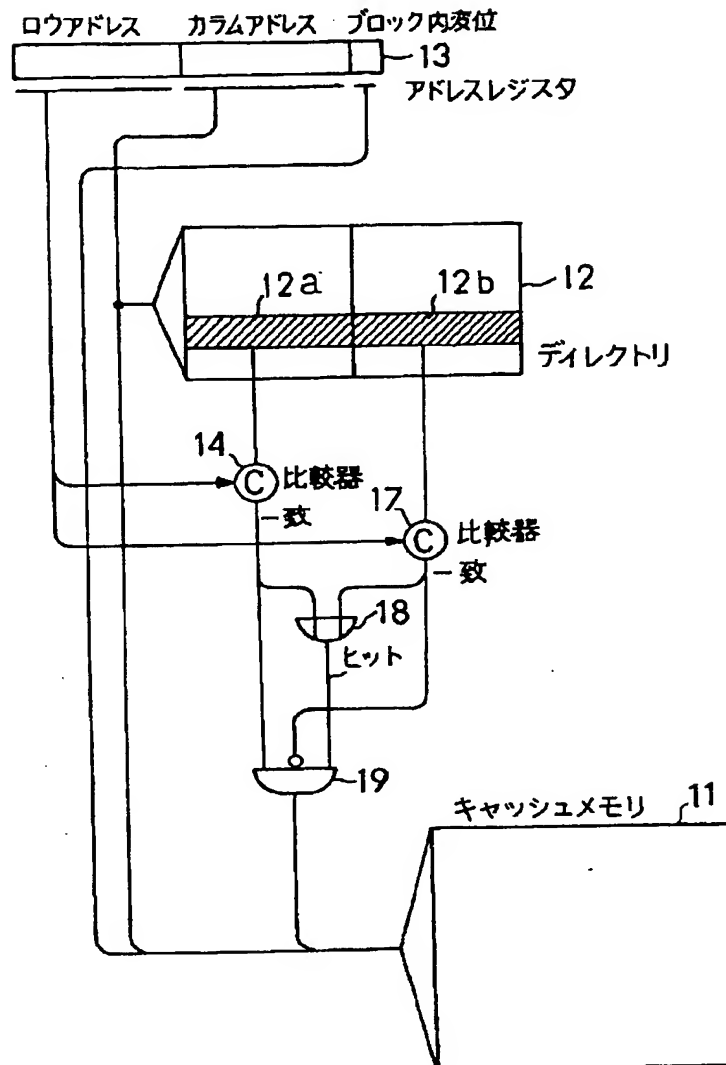
【図5】

従来の複数のプロセッサをもつ計算機システムの構成図



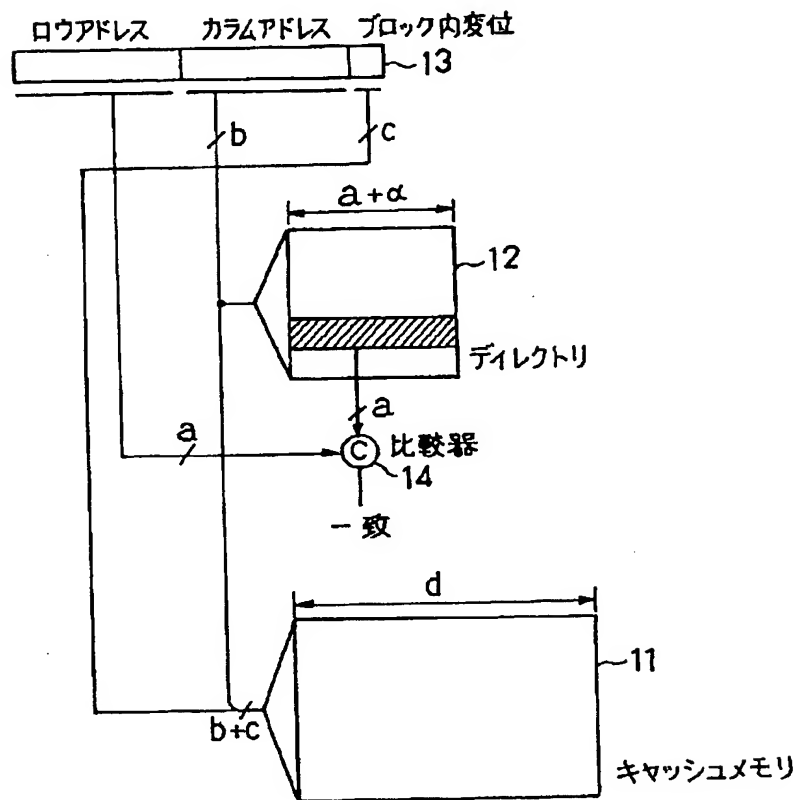
【図6】

従来の2ウェイセットアソシアティブ方式の
キャッシュメモリの構成図



【図8】

従来のダイレクトマッピング方式の
キャッシュメモリの構成図



【図9】

従来のキャッシュメモリにおける容量増加方式の説明図

